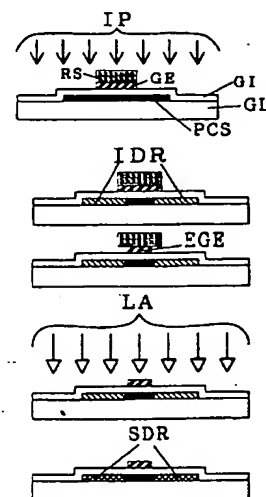


(54) MANUFACTURE OF THIN FILM TRANSISTOR

(11) 5-82552 (A) (43) 2.4.1993 (1) JP
 (21) Appl. No. 3-243631 (22) 24.9.1991
 (71) SEIKO EPSON CORP (72) TSUTOMU HASHIZUME
 (51) Int. Cl.⁵ H01L21/336, H01L29/784, H01L21/265, H01L27/12

PURPOSE: To make it possible to form a self-alignment type thin film transistor having superior electrical characteristics on a large-area insulating substrate by a method wherein after a gate electrode is etched in the longitudinal direction of the channel of the transistor, a laser beam is emitted from a direction in which the thin film transistor is formed on the substrate to activate an impurity and the like.

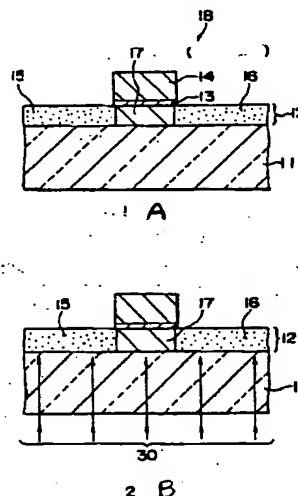
CONSTITUTION: A silicon layer PCS is formed on an insulating substrate GL and after the layer PCS is patterned, an insulating thin film GI is formed and a gate electrode GE is formed on the film GI. Then, an impurity IP is implanted into the layer PCS through the thin film GI by a bucket type mass non-separation type ion implantation device. Then, the side surfaces of the electrode GE are etched in the longitudinal direction of a channel of a thin film transistor. After that, the impurity is activated by emitting a laser beam LA from a direction in which the thin film transistor is formed on the substrate GL.

**(54) METHOD OF ANNEALING THIN FILM TRANSISTOR**

(11) 5-82553 (A) (43) 2.4.1993 (19) JP
 (21) Appl. No. 3-268468 (22) 18.9.1991
 (71) SONY CORP (72) TAKASHI NOGUCHI(1)
 (51) Int. Cl.⁵ H01L21/336, H01L29/784, H01L21/265, H01L21/268, H01L27/12

PURPOSE: To enhance through-put of annealing and improve yield by a method wherein a channel layer and source-drain regions are annealed at the same time.

CONSTITUTION: A semiconductor layer 12 is formed on the top of an ultraviolet ray transmitting substrate 11 in a first process. In succession, an active layer 17, a source-drain 15, and a drain region 16 are provided on a semiconductor layer 12 for the formation of a thin film transistor 18. Thereafter, the semiconductor layer 12 is irradiated with excimer laser rays 30 from the ultraviolet ray transmitting substrate 11 side in a second process to anneal the source region 15, the drain region 16, and the active layer 17 provided to the semiconductor layer 12.



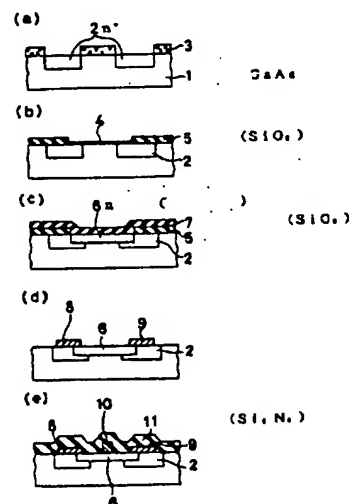
A: first process, B: second process

(54) MANUFACTURE OF COMPOUND SEMICONDUCTOR DEVICE

(11) 5-82554 (A) (43) 2.4.1993 (19) JP
 (21) Appl. No. 3-243017 (22) 24.9.1991
 (71) MATSUSHITA ELECTRIC IND CO LTD (72) MANABU YANAGIHARA(1)
 (51) Int. Cl.⁵ H01L21/338, H01L29/812, H01L21/205

PURPOSE: To provide a MESFET which is high in gm and low in source-drain resistance corresponding to its usage by a method wherein the electrical active region of a MESFET is formed through the diffusion of sulfur.

CONSTITUTION: After a mask 5 is formed, a semi-insulating GaAs substrate 1 is dipped into an ammonium sulfide solution and cleaned with methanol, and then an anneal protective film is formed and annealed, whereby an N-type region 6 where sulfur is diffused is formed. The annealing process concerned is carried out through an annealing electric oven or an annealing lamp. Therefore, depending on annealing conditions, carriers are kept flat deep in profile or high in concentration at the surface of region 6 and sharp in concentration gradient at its base. In the former case, a FET high in gate breakdown strength can be obtained, and in the latter case, a FET of high in gm or low in source-drain resistance can be obtained.



1: semi-insulating GaAs substrate, 2: N⁺-type injected region, 3: resist, 4: sulfur-containing thin film, 5: N-type region (sulfur diffusion region), 6: source electrode, 7: drain electrode, 8: gate electrode, 9: element protective

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-082552

(43)Date of publication of application : 02.04.1993

(51)Int.Cl.

H01L 21/336

H01L 29/784

H01L 21/265

H01L 27/12

(21)Application number : 03-243631

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 24.09.1991

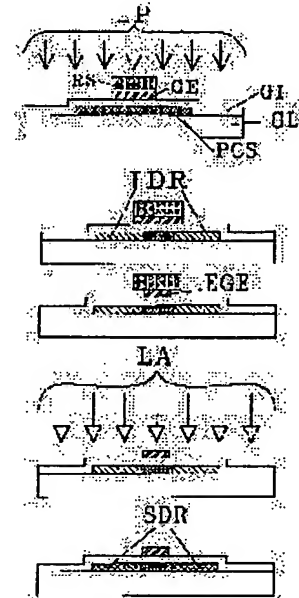
(72)Inventor : HASHIZUME TSUTOMU

(54) MANUFACTURE OF THIN FILM TRANSISTOR

(57)Abstract:

PURPOSE: To make it possible to form a self-alignment type thin film transistor having superior electrical characteristics on a large-area insulating substrate by a method wherein after a gate electrode is etched in the longitudinal direction of the channel of the transistor, a laser beam is emitted from a direction in which the thin film transistor is formed on the substrate to activate an impurity and the like.

CONSTITUTION: A silicon layer PCS is formed on an insulating substrate GL and after the layer PCS is patterned, an insulating thin film GI is formed and a gate electrode GE is formed on the film GL. Then, an impurity IP is implanted into the layer PCS through the thin film GI by a bucket type mass non-separation type ion implantation device. Then, the side surfaces of the electrode GE are etched in the longitudinal direction of a channel of a thin film transistor. After that, the impurity is activated by emitting a laser beam LA from a direction in which the thin film transistor is formed on the substrate GL.



LEGAL STATUS

[Date of request for examination] 09.04.1998

[Date of sending the examiner's decision of rejection] 27.03.2001

[Kind of final disposal of application other than the withdrawal examiner's decision of rejection or application converted registration]

[Date of final disposal for application] 12.06.2001

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-82552

(43)公開日 平成5年(1993)4月2日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H01L 21/336

29/784

21/265

9056-4M

8617-4M

H01L 29/78

21/265

311 Y

G

審査請求 未請求 請求項の数2(全13頁) 最終頁に続く

(21)出願番号 特願平3-243631

(22)出願日 平成3年(1991)9月24日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 橋爪 勉

長野県諏訪市大和3丁目3番5号セイコー

エプソン株式会社内

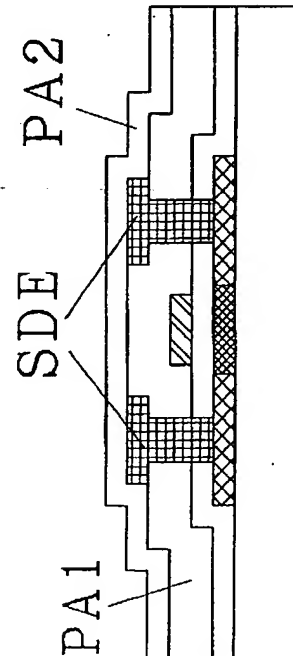
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 薄膜トランジスタの製造方法

(57)【要約】

【構成】 バケットタイプの質量非分離型のイオン注入装置により絶縁薄膜を通してシリコン層中に注入された不純物を、まずゲート電極のチャンネルの長さ方向の寸法を小さくした後に、レーザービームの照射で活性化することにより、自己整合型の薄膜トランジスタを大面積にわたって形成する。

【効果】 寄生容量が極めて小さく電気的特性の優れた自己整合型の薄膜トランジスタを大面積の絶縁基板上に形成することができる。この結果フリッカーや左右ムラのない表示部を持ち、高速の駆動回路を内蔵する大面積のアクティブマトリクス型の液晶表示体を実現できる。



【特許請求の範囲】

【請求項1】 絶縁基板上にシリコン層を被着形成する工程と、上記シリコン層をパターニングする工程と、絶縁薄膜を被着形成する工程と、上記絶縁薄膜上にゲート電極を形成する工程と、上記絶縁薄膜を通して上記シリコン層にバケットタイプの質量非分離型のイオン注入装置によって不純物を注入する工程と、上記ゲート電極の側面を薄膜トランジスタのチャンネルの長さ方向にエッチングする工程と、レーザビームを基板の薄膜トランジスタが形成される方向から照射することによって上記不純物を活性化する工程とを含むことを特徴とする薄膜トランジスタの製造方法。

【請求項2】 絶縁基板上にシリコン層を被着形成する工程と、上記シリコン層をパターニングする工程と、絶縁薄膜を被着形成する工程と、上記絶縁薄膜上にゲート電極を形成する工程と、上記ゲート電極を陽極酸化することにより酸化膜を形成する工程と、上記絶縁薄膜を通して上記シリコン層にバケットタイプの質量非分離型のイオン注入装置によって不純物を注入する工程と、上記陽極酸化によって形成された酸化膜を除去する工程と、レーザビームを基板の薄膜トランジスタが形成される方向から照射する工程によって上記不純物を活性化する工程とを含むことを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリクス方式の液晶ディスプレイや、イメージセンサや、液晶シャッターアレイや、3次元集積素子などに応用される薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】 従来、絶縁基板上の半導体薄膜は、アクティブマトリクス型の液晶表示体の絵素に応用されているように、次のような利点を有することが知られている。

【0003】 ①シリコン基板では実現が困難な可視光線を透過するような透明の基板上に均一な特性のトランジスタを形成できる。②P-N接合面積を小さくすることにより、浮遊容量を小さくできる。

【0004】 また、バルク半導体の技術を応用して石英基板上に薄膜トランジスタを形成して、同じ基板上に絵素トランジスタや、同じ基板上にこの絵素を駆動するための薄膜トランジスタによるC-MOS回路を構成している例もある。ところが、このC-MOS回路は1000℃以上の温度で形成したゲート絶縁膜や、イオン注入後の不純物の活性化を行っているため、歪点が800℃以下の安価な大面積のガラス基板が使えない欠点があった。

【0005】 また、を駆動上にサファイア等の単結晶絶縁基板が高価であることから、これに代わるものとし

て、熔融水晶板や、Si基板を1000℃以上温度で酸化して形成した非晶質SiO₂膜やSi基板上に堆積した非晶質SiO₂膜あるいは非晶質SiN膜を用い、これらの上に半導体薄体を形成する方法が提案されている。ところが、これらSiO₂膜やSiN膜は単結晶でないため、その上シリコン層を被着形成し1000℃以上の温度のプロセスで結晶化すると基板上には多結晶が成長する。この多結晶の粒径は数10nmであり、このうえにMOSトランジスタを形成しても、そのキャリア移動度はバルクシリコン上のMOSトランジスタの数分の1程度である。

【0006】 また、液晶表示体のアクティブマトリクス基板用に、歪点が850℃以下の安価なガラス基板上のMOSトランジスタでは、1000℃以上のプロセスを利用することが出来ないで、減圧化学気相成長法でシリコン層を堆積しても、多結晶の粒径は高々数nmであるため、この上にMOSトランジスタを形成しても、そのキャリア移動度は、バルクシリコン上のMOSトランジスタの数十分の1程度である。

【0007】 最近、レーザビームや電子ビーム等をシリコン層上を走査し、該薄膜の熔融再固化を行うことにより、結晶粒径を増大させ単結晶化する方法が検討されている。この方法によれば、絶縁基板上に高品質シリコン単結晶相を、または高品質多結晶を形成でき、それを用いて作成した素子の特性も向上し、バルクシリコンに作成した素子の特性と同程度まで改善される。さらにこの方法では、素子を積層化することが可能となりいわゆる3次元ICの実現が可能となる。そして高密度、高速、多機能などの特徴を持つ回路が得られるようになる。

【0008】 また、高密度、高速のMOS回路を実現するには、ゲート電極に対して自己整合型の構造の薄膜トランジスタを形成する必要がある。ところが、安価なガラス基板などの絶縁基板上に素子を形成する場合、プロセスの最高温度は高々600℃であるため、ゲート電極に対して自己整合的にソース・ドレイン領域にイオン注入された不純物を熱アニールによる活性化は困難である。

【0009】 IEEE ELECTRON DEVICE LETTERS, VOL. EDL-7, NO. 5, MAY 1986 XeCl Excimer Laser Annealing Used in the Fabrication of Poly-Si TFT's の論文では、ゲート絶縁膜を通過してイオン注入した不純物をXeClエキシマレーザの照射によって活性化している。

【0010】 最近、大面積の絶縁基板上に薄膜トランジスタを形成したアクティブマトリクス基板の駆動回路の内蔵化の研究開発が盛んである。駆動回路の高速化のためには薄膜トランジスタはソース・ドレイン領域がゲート電極に対して自己整合的に形成することが必要である。大型のアクティブマトリクス基板の薄膜トランジスタのソース・ドレイン領域に不純物を注入するため、質量非分離型のバケットタイプのイオン注入装置が開発さ

れ、大面積の基板にゲート電極に対して自己整合的な薄膜トランジスタを形成する試みが行われている。

【0011】

【発明が解決しようとする課題】質量分離型の装置によるイオン注入法では、ゲート電極に対してほぼ完全に自己整合的に不純物がソース・ドレイン領域に注入されるが、バケットタイプの質量非分離型のイオン注入装置では、イオンをビームによって注入する方法ではないので、図17のIPに示すように、基板に対して斜め方向から入射する不純物もあるので、ゲート電極と重なるシリコン層の領域GSにも不純物が注入される。図18に示すようにプレーナー型構造の薄膜トランジスタの製造工程で、ゲート電極に対してバケットタイプの質量非分離型のイオン注入装置により不純物を注入すると、図17で示した理由により、図19に示すようにゲート電極と重なる領域にも不純物が注入されたシリコン層IDRが形成される。シリコン層IDR中の不純物を活性化するためにレーザービームLAを図20に示すように照射すると、図21に示すようにレーザービームのエネルギーを直接受けるソース・ドレイン領域ASDの部分の不純物は活性化するが、領域USDに存在する不純物はレーザービームのエネルギーを直接受けないので活性化しない。このレーザービームの照射の後、図22に示すように、必要な絶縁膜とソース・ドレイン電極を配線して従来の薄膜トランジスタができる。

【0012】チャンネルの長さ方向における領域USDの長さは、ゲート絶縁膜が150nmでは、200～500nmである。さらに、領域USDのシリコン層はイオン注入のために結晶が破壊され非晶質状態である。図22に示したようにできた薄膜トランジスタは、ゲート電極にバイアスを加えてチャンネル領域を導通状態にしても、領域USDが非晶質状態のため電流が流れない。ソース・ドレイン領域にバケットタイプのイオン注入装置により不純物を注入し、レーザービームの照射で不純物を活性化しても、十分なオン電流が得られず、しかもオフ電流が大きくなる問題があった。

【0013】よって、バケットタイプのイオン注入法を用いて大面積の基板上に電気的特性の優れた自己整合型の薄膜トランジスタを形成するためには、ゲート電極と重なる領域にシリコン層に注入された不純物を活性化できる手段が必要である。

【0014】

【課題を解決するための手段】本発明は上記の問題に鑑み、大面積の絶縁基板上の電気的特性の優れた自己整合型の薄膜トランジスタの形成するため、絶縁基板上にシリコン層を被着形成する工程と、上記シリコン層をパターンニングする工程と、絶縁薄膜を被着形成する工程と、上記絶縁薄膜上にゲート電極を形成する工程と、上記絶縁薄膜を通して上記シリコン層にバケットタイプの質量非分離型のイオン注入装置によって不純物を注入する工

程と、上記ゲート電極を薄膜トランジスタのチャンネルの長さ方向にエッチングする工程と、レーザービームを基板の薄膜トランジスタが形成される方向から照射することによって上記不純物を活性化する工程とを含むことを特徴とする薄膜トランジスタの製造方法を提供する。

【0015】本発明は上記の問題に鑑み、大面積の絶縁基板上の電気的特性の優れた自己整合型の薄膜トランジスタの形成するため、絶縁基板上にシリコン層を被着形成する工程と、上記シリコン層をパターンニングする工程と、絶縁薄膜を被着形成する工程と、上記絶縁薄膜上にゲート電極を形成する工程と、上記ゲート電極を陽極酸化することにより酸化膜を形成する工程と、上記絶縁薄膜を通して上記シリコン層にバケットタイプの質量非分離型のイオン注入装置によって不純物を注入する工程と、上記陽極酸化によって形成された酸化膜を除去する工程と、レーザービームを基板の薄膜トランジスタが形成される方向から照射する工程によって上記不純物を活性化する工程とを含むことを特徴とする薄膜トランジスタの製造方法を提供する。

【0016】

【実施例】以下、本発明の詳細を図示の実施例によって説明する。請求項1にあたる第1の実施例を、図1～図6の製法工程の断面図で示す。請求項2にあたる第2の実施例を図7～図16の製造工程の断面図で示す。

【0017】請求項1にあたる本発明の第1の実施例を次に説明する。

【0018】図1に示すように例えば透明なガラス基板などの絶縁基板上に、例えば減圧化学気相成長法によって基板温度550～650℃で膜厚10～150nmのシリコン層を被着形成する。上記シリコン層の厚みは25～50nmであるとなお適当である。

【0019】次に、上記シリコン層にレーザービームを照射して多結晶シリコン層を形成する。あるいは固相成長法により多結晶シリコン層を形成する。あるいは、固相成長法により大粒径の多結晶シリコンを形成した後に、この多結晶シリコン層にレーザービームを照射してもよい。上記レーザービームの照射の工程は必要に応じて基板の一部の領域のシリコン層にのみ実施してもよい。

【0020】次に上記シリコン層をリソグラフィ法によりパターンニングして島状のシリコン層PCSを形成する。

【0021】本実施例で製作する薄膜トランジスタの閾値を制御するために、該シリコン層を形成後、例えばイオン注入法により必要量の不純物を注入する。

【0022】つぎに、上記シリコン層PCSを覆うように、ゲート絶縁膜GIを、例えば常圧化学気相成長法によって、例えば基板温度300℃で例えば膜厚150nmの酸化珪素膜を被着形成する。上記ゲート絶縁膜GIの形成方法および形成材料は上記に限られるものではない。たとえば、電子サイクロロン共鳴CVD法によ

て SiO_2 を被着形成してもゲート絶縁膜GIとして使用可能である。さらに、まず電子サイクロトロン共鳴法(ECR法)による SiO_2 を上記シリコン層GIを覆うように被着形成し、さらに常圧化学気相成長法によって SiO_2 を被着形成した、2層構造のゲート絶縁膜でも良い。

【0023】次に、図1に示すようにゲート電極GEを形成する。不純物を導入したシリコン層を上記ゲート絶縁膜GIを覆うように被着形成し、続いてパターニングする。ゲート電極GEはリソグラフィー法によりパターニングされ、パターニングに使用したレジストは残す。上記不純物が導入されたシリコン層としては、リンを不純物として減圧化学気相成長法により形成されたシリコン層や、PECVD法により形成されたリンを含む非晶質のシリコン層がある。ゲート電極GEはシリコン層に限らず金属薄膜あるいはシリサイドなどの材質により形成することもできる。上記ゲート電極GE上に厚みは、200~400nmであるが、1 μm 程度のレジストRSが図1の様に被着形成されているので、上記ゲート電極GEの厚みは200nm以下でもよい。

【0024】次に、ソース・ドレイン領域を形成するため、バケットタイプの質量非分離型のイオン注入装置により、ゲート絶縁膜GIを通して、不純物を注入する。ゲート絶縁膜が厚み150nmの酸化珪素膜である場合、イオン注入条件は、不純物がリンである場合には、高周波の出力が75Wであり、加速電圧が110keVであり、 $3 \times 10^{16} \text{cm}^{-2}$ の注入量である。また不純物がボロンである場合には高周波の出力が75Wであり、加速電圧が40keVであり、 $3 \times 10^{16} \text{cm}^{-2}$ の注入量である。イオン注入条件はゲート電極GIの厚み、材質、シリコン層PCSの厚みにより適宜変更される。

【0025】イオン注入の結果、図2に示されるように不純物が注入された領域IDRが形成される。領域IDRはゲート電極GEと重なる部分まで及ぶ。

【0026】次に、図3に示すようにゲート電極GEの側面を、チャンネルの長さ方向に対してエッチングする。図7で示した領域USDのチャンネル方向の長さは200~500nmなので、上記ゲート電極のチャンネル方向のエッチング量は500nm以上である。上記ゲート電極のチャンネル方向のエッチング量は、領域USDの長さより長くエッチングする。

【0027】次に、図4に示すようにレジストRSを除去しレーザビームLAを照射して、ソース・ドレイン領域中の不純物を活性化する。ソース・ドレイン領域のシリコン層の厚みが25~50nmであり、ゲート電極の厚みが150nmである場合のレーザビームLAの照射条件は、XeClの半値幅50ns、波長308nmのエクシマレーザで、基板直前で300~500mJ/cm²のエネルギー強度である。照射するレーザビームのバルス数は複数であっても構わない。レーザビームの照射

雰囲気は大気中である。上記の不純物の活性化の方法により、ゲート電極とソース・ドレイン領域が重ならない構造となるいわゆるオフセット構造となるため、本発明の薄膜トランジスタの電気的特性は、オフ電流が極めて小さい特性となる。

【0028】上記のレーザビームの照射により図5に示すように、不純物が活性化されたソース・ドレイン領域SDRが形成される。上記領域USDにもレーザビームが照射されるので、シリコン層に注入された不純物は問題なく活性化される。

【0029】次に図6に示すように層間絶縁膜PA1をゲート電極を基板上に被着形成し、次に上記層間絶縁膜PA1とゲート絶縁膜GIを貫くようにコンタクトホールを形成して、ソース・ドレイン電極SDEを形成する。薄膜トランジスタを駆動回路に用いる場合には、上記ソース・ドレイン電極の材質は、例えば、銅やシリコンを含むアルミニウム薄膜であり、スパッタ法によりこのアルミニウム薄膜を被着形成して、リソグラフィー法によりパターニングする。C-MOS回路の形成のため、p型とn型のそれぞれの薄膜トランジスタをソース電極とドレイン電極とゲート電極を適宜配線する。

【0030】また、薄膜トランジスタを画素トランジスタとして用いる場合には、ソース・ドレイン電極の一方を銅やシリコンを含むアルミニウム薄膜で形成し、もう一方をITOなどの透明電極で形成する。

【0031】また、ソース電極とドレイン電極が交差する場合に、このソース電極とドレイン電極の間に層間絶縁膜を形成する。

【0032】つぎに、薄膜トランジスタを外部環境から保護するため、窒化珪素のような絶縁膜を被着形成する。

【0033】さらにこの次に、水素を含んだ気体中で例えば300℃で1時間の熱処理を施して図1iの様に目的とする薄膜トランジスタを得る。ただし、バッシベーション膜に300℃で分解する有機高分子膜を使用する場合には、該有機高分子膜を形成する前に上記の水素処理をすることが必要である。

【0034】次に、請求項1にあたる本発明の第1の実施例を次に説明する。

【0035】図7に示すように例えば透明なガラス基板などの絶縁基板上に、例えば減圧化学気相成長法によって基板温度550~650℃で膜厚10~150nmのシリコン層を被着形成する。上記シリコン層の厚みは25~50nmであるとなお適当である。

【0036】次に、上記シリコン層にレーザビームを照射して多結晶シリコン層を形成する。あるいは固相成長法により多結晶シリコン層を形成する。あるいは、固相成長法により大粒径の多結晶シリコンを形成した後に、この多結晶シリコン層にレーザビームを照射してもよい。上記レーザビームの照射の工程は必要に応じて基板

の一部の領域のシリコン層にのみ実施してもよい。

【0037】次に上記シリコン層をリソグラフィ法によりパターンニングして島状のシリコン層PCSを形成する。

【0038】本実施例で製作する薄膜トランジスタの閾値を制御するために、該シリコン層を形成後、例えばイオン注入法により必要量の不純物を注入する。

【0039】つぎに、上記シリコン層PCSを覆うように、ゲート絶縁膜GIを、例えば常圧化学気相成長法によって、例えば基板温度300℃で例えば膜厚150nmの酸化珪素膜を被着形成する。上記ゲート絶縁膜GIの形成方法および形成材料は上記に限られるものではない。たとえば、電子サイクロトロン共鳴CVD法によってSiO₂を被着形成してもゲート絶縁膜GIとして使用可能である。さらに、まず電子サイクロトロン共鳴法(ECR法)によるSiO₂を上記シリコン層GIを覆うように被着形成し、さらに常圧化学気相成長法によってSiO₂を被着形成した、2層構造のゲート絶縁膜でも良い。

【0040】次に、上記ゲート絶縁膜GIの上にゲート電極GEを被着形成する。上記ゲート電極の材料としては例えば、Ta金属薄膜が上げられる。スパッタ法によりTa金属薄膜を上記ゲート絶縁膜GI上に被着形成し、次にリソグラフィ法によりパターンニングすることにより上記ゲート電極GEを形成する。

【0041】次に、図7の工程で製作された基板をクエン酸などの溶質を含む電界液に浸して、上記ゲート電極GEを陽極酸化し、図8に示すように上記ゲート電極GEを覆う金属酸化膜COXを形成する。金属酸化膜COXの厚みは500~700nmである。

【0042】次に、ソース・ドレイン領域を形成するため、バケットタイプの質量非分離型のイオン注入装置により、ゲート絶縁膜GIを通して、図9に示すように不純物を注入する。ゲート絶縁膜が厚み150nmの酸化珪素膜である場合、イオン注入条件は、不純物がリンである場合には、高周波の出力が75Wであり、加速電圧が110keVであり、 $3 \times 10^{15} \text{ cm}^{-2}$ の注入量である。また不純物がボロンである場合には高周波の出力が75Wであり、加速電圧が40keVであり、 $3 \times 10^{15} \text{ cm}^{-2}$ の注入量である。イオン注入条件はゲート電極GIの厚み、材質、シリコン層PCSの厚みにより適宜変更される。

【0043】イオン注入の結果、図10に示されるように不純物が注入された領域IDRが形成される。領域IDRは金属酸化膜COXと重なる部分まで及ぶ。

【0044】次に、図11に示すように金属酸化膜をエッチング除去する。

【0045】次に、図12に示すようにレーザビームLAを照射して、ソース・ドレイン領域中の不純物を活性化する。ソース・ドレイン領域のシリコン層の厚みが2

5~50nmであり、ゲート電極の厚みが150nmである場合のレーザビームLAの照射条件は、XeClの半値幅50ns、波長308nmのエキシマレーザで、基板直前で300~500mJ/cm²のエネルギー強度である。照射するレーザビームのパルス数は複数であっても構わない。レーザビームの照射雰囲気は大気中である。図17で示した領域USDのチャンネル方向の長さは200~500nmであり、上記金属酸化膜COXの厚みは500~700nmであるので、金属酸化膜COXのエッチング工程の結果、イオン注入IP工程により不純物が注入されたシリコン層IDRの領域はゲート電極GEと重なることはない。よって、不純物がイオン注入されたシリコン層IDRの全ての領域の不純物はレーザビームLAの照射により活性化する。

【0046】上記のレーザビームの照射により図13に示すように、不純物が活性化されたソース・ドレイン領域SDRが形成される。上記領域USDにもレーザビームが照射されるので、シリコン層に注入された不純物は問題なく活性化される。

【0047】次に図14に示すように層間絶縁膜PA1をゲート電極を基板上に被着形成し、次に上記層間絶縁膜PA1とゲート絶縁膜GIを貫くようにコンタクトホールを形成して、ソース・ドレイン電極SDEを形成する。薄膜トランジスタを駆動回路に用いる場合には、上記ソース・ドレイン電極の材質は、例えば、銅やシリコンを含むアルミニウム薄膜であり、スパッタ法によりこのアルミニウム薄膜を被着形成して、リソグラフィ法によりパターンニングする。C-MOS回路の形成のため、p型とn型のそれぞれの薄膜トランジスタをソース電極とドレイン電極とゲート電極を適宜配線する。

【0048】また、薄膜トランジスタを画素トランジスタとして用いる場合には、ソース・ドレイン電極の一方を銅やシリコンを含むアルミニウム薄膜で形成し、もう一方をITOなどの透明電極で形成する。

【0049】また、ソース電極とドレイン電極が交差する場合には、このソース電極とドレイン電極の間に層間絶縁膜を形成する。

【0050】つぎに、薄膜トランジスタを外部環境から保護するため、窒化珪素のような絶縁膜を被着形成する。

【0051】さらにこの次に、水素を含んだ気体中で例えば300℃で1時間の熱処理を施して図14の様に目的とする薄膜トランジスタを得る。ただし、パッシベーション膜に300℃で分解する有機高分子膜を使用する場合には、該有機高分子膜を形成する前に上記の水素処理をすることが必要である。

【0052】ゲート電極と走査線が同じ材料で同時に形成される場合には、信号線と走査線の交差部における電気的な短絡による欠陥を防止するため、図13の工程の後に、再びゲート電極を陽極酸化して金属酸化膜COX

を200nmの厚みで図15に示すように被着形成し、次に図14と同じ様な工程で図16に示すような薄膜トランジスタを得る。

【0053】本発明の不純物の活性化の方法により、ゲート電極とソース・ドレイン領域が重ならない構造となるいわゆるオフセット構造となるため、本発明の薄膜トランジスタの電気的特性は、オフ電流が極めて小さい特性となる。また、このオフセットの長さは、金属酸化膜COXの厚みにより制御でき、200～500nmと大変短いため、薄膜トランジスタのオン電流をほとんど減少させない。

【0054】

【発明の効果】以上説明したように、本発明薄膜トランジスタの製造方法は、バケットタイプの質量非分離型のイオン注入装置によりゲート電極に重なる領域のシリコン層中に注入された不純物も、チャンネルの長さ方向にゲート電極の側面をエッチング除去した後に、レーザビームを照射することにより活性化できる。本発明による自己整合型の薄膜トランジスタは、オフセット型の構造になっているので、オフ電流が極めて小さな電気的特性を示す。またこのオフセットの領域は数百nm程度であるので、オン電流を大きく減少させない。この結果オン/オフ比の大きな電気的特性となる。チャンネル部のシリコン層がレーザビームの照射などにより形成された多結晶シリコン層であれば十分なオン電流が得られ、さらに、ソース領域とゲート電極、あるいはドレイン領域とゲート電極の間で生じる寄生容量がないため、高速動作の薄膜トランジスタを形成することが可能になる。

【0055】すなわち、バケットタイプの質量非分離型のイオン注入装置によるイオン注入法と本発明によるレーザビームの照射による不純物の活性化により、大面積の基板上に、電気的特性の優れた自己整合的な薄膜トランジスタを形成することができる。

【0056】本発明による薄膜トランジスタをアクティブマトリックス型の液晶表示帯の絵素に用いる場合には、上記寄生容量の少ない自己整合的な薄膜トランジスタであるために、前記画面全体に渡って、色ムラ、フリッカー、ゲート信号の遅延などのない良質な画像を得ることができる。

【0057】さらに、レーザビームによる移動度の大きな自己整合型の薄膜トランジスタによって高速駆動が可能なC-MOS回路をガラス基板上に形成できる。よって、本発明によりアクティブマトリクス法の液晶表示体の駆動回路を、絵素トランジスタが形成されている同一基板上に被着形成できるので、アクティブマトリクス方式の安価な液晶表示体を製造することができる。

【0058】さらに、本発明は高性能の三次元素子の製造にも適用可能である。

【図面の簡単な説明】

【図1】 本発明の第1の実施例の薄膜トランジスタの

製造方法の工程図。

【図2】 本発明の第1の実施例の薄膜トランジスタの製造方法の工程図。

【図3】 本発明の第1の実施例の薄膜トランジスタの製造方法の工程図。

【図4】 本発明の第1の実施例の薄膜トランジスタの製造方法の工程図。

【図5】 本発明の第1の実施例の薄膜トランジスタの製造方法の工程図。

【図6】 本発明の第1の実施例の薄膜トランジスタの製造方法の工程図。

【図7】 本発明の第2の実施例の薄膜トランジスタの製造方法の工程図。

【図8】 本発明の第2の実施例の薄膜トランジスタの製造方法の工程図。

【図9】 本発明の第2の実施例の薄膜トランジスタの製造方法の工程図。

【図10】 本発明の第2の実施例の薄膜トランジスタの製造方法の工程図。

【図11】 本発明の第2の実施例の薄膜トランジスタの製造方法の工程図。

【図12】 本発明の第2の実施例の薄膜トランジスタの製造方法の工程図。

【図13】 本発明の第2の実施例の薄膜トランジスタの製造方法の工程図。

【図14】 本発明の第2の実施例の薄膜トランジスタの製造方法の工程図。

【図15】 本発明の第2の実施例の薄膜トランジスタの製造方法の工程図。

【図16】 本発明の第2の実施例の薄膜トランジスタの製造方法の工程図。

【図17】 従来の薄膜トランジスタの製造方法の工程図。

【図18】 従来の薄膜トランジスタの製造方法の工程図。

【図19】 従来の薄膜トランジスタの製造方法の工程図。

【図20】 従来の薄膜トランジスタの製造方法の工程図。

【図21】 従来の薄膜トランジスタの製造方法の工程図。

【図22】 従来の薄膜トランジスタの製造方法の工程図。

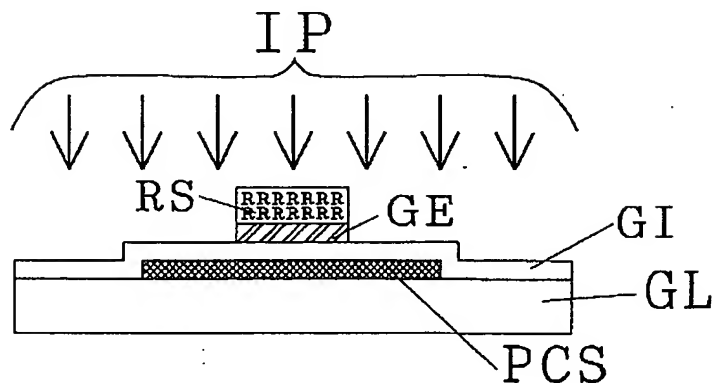
【符号の説明】

GL …絶縁基板
PCS …シリコン層
GI …絶縁薄膜
GE …ゲート電極
RS …レジスト
IP …イオン注入

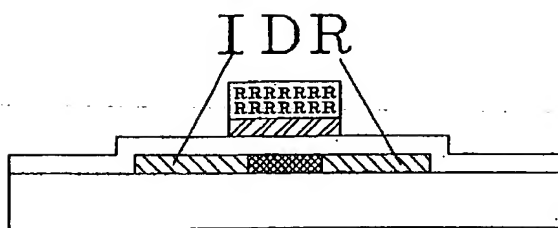
12

PA2	…パッシベーション膜
COX	…陽極酸化による金属酸化膜
USD	…不純物が注入されたゲート電極と重なる領域
ASD	…不純物が注入されたゲート電極と重ならない領域

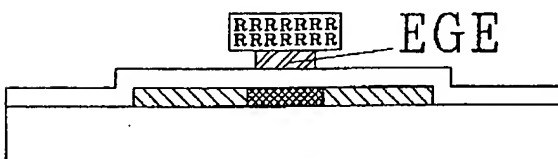
【図 1】



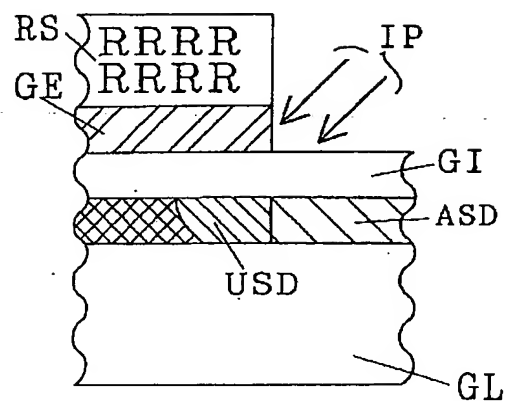
【图2】



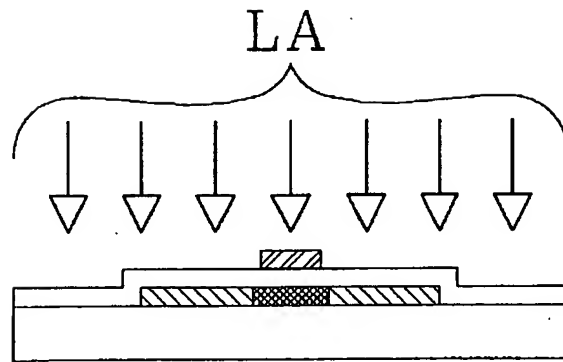
【図3】



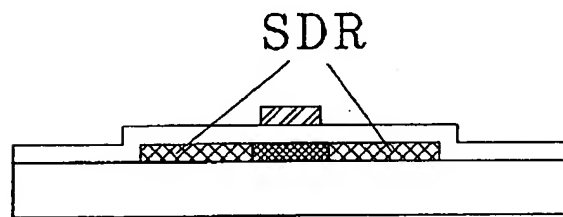
【图 17】



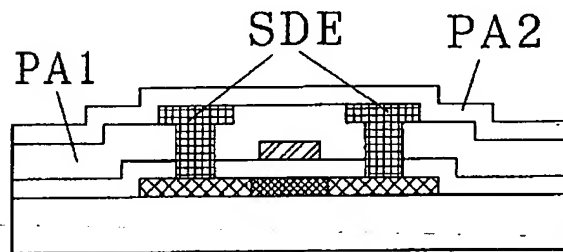
【図4】



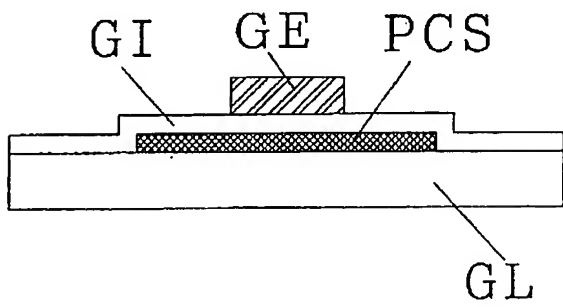
【図5】



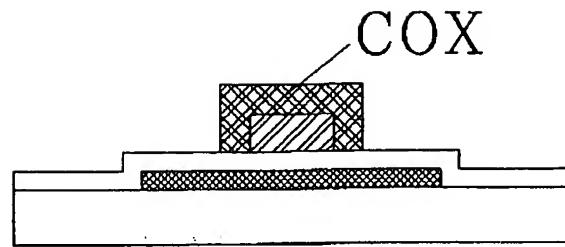
【図6】



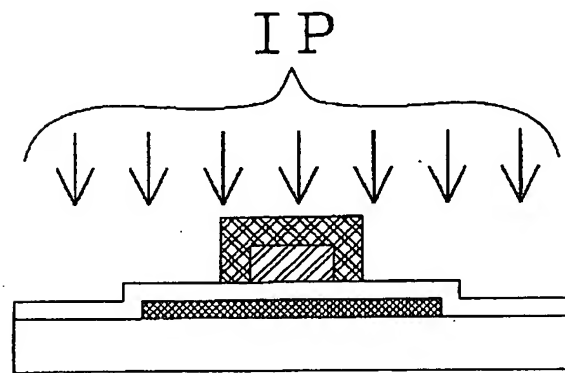
【図7】



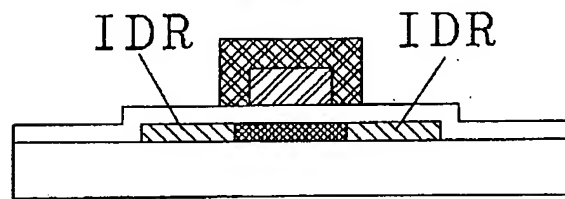
【図8】



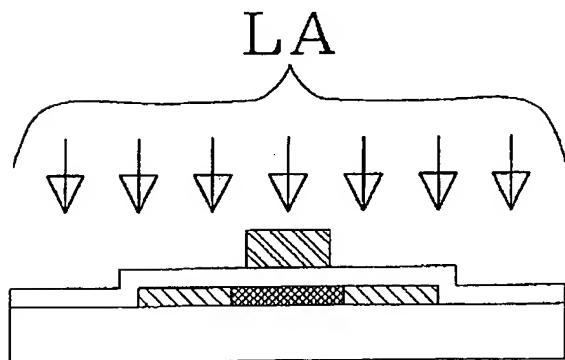
【図9】



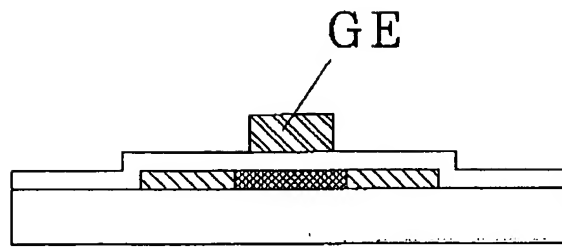
【図10】



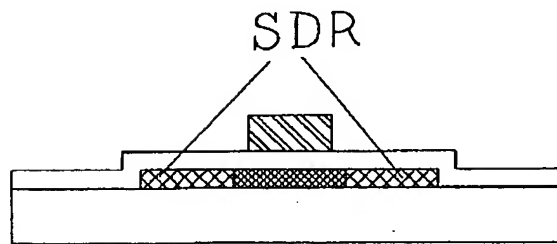
【図12】



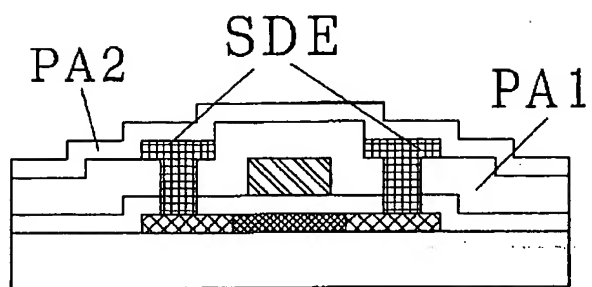
【図11】



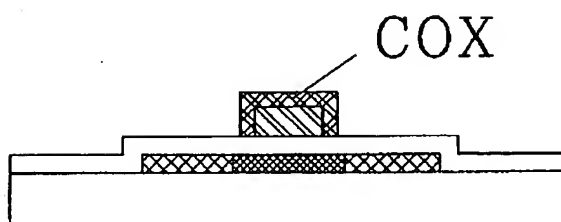
【図13】



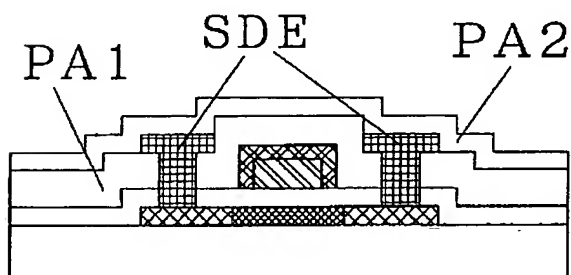
【図14】



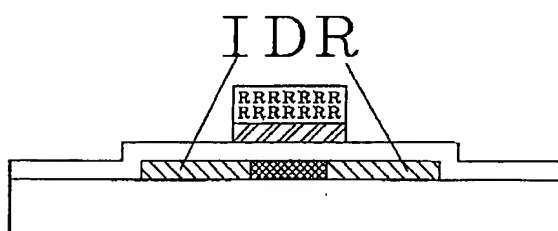
【図15】



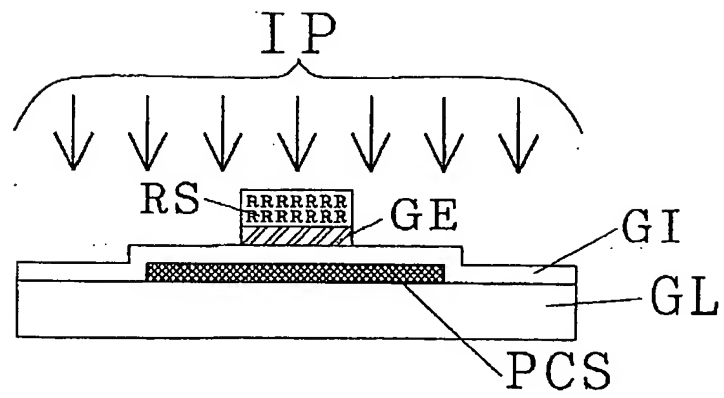
【図16】



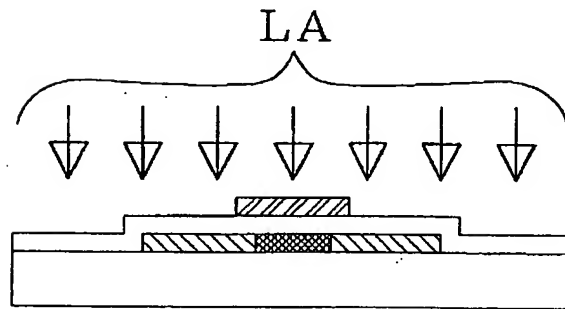
【図19】



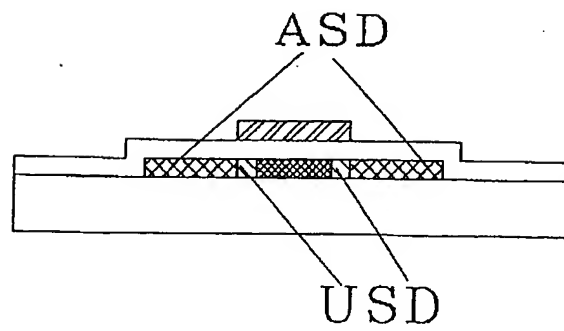
【図18】



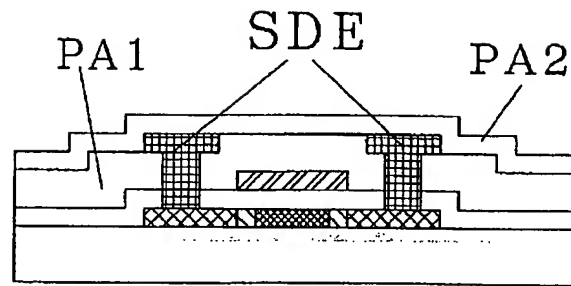
【図20】



【図21】



【図22】



フロントページの続き

(51) Int. Cl. ⁵
H01L 27/12

識別記号

庁内整理番号
8728-4M
8617-4M

F I

H01L 21/265

技術表示箇所

B